

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042683
Application Number PATENT-2002-0042683

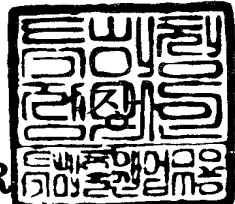
출원년월일 : 2002년 07월 19일
Date of Application JUL 19, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2003년 01월 10일



특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.07.19
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 형성방법
【발명의 영문명칭】	A method for forming a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	권판기
【성명의 영문표기】	KWON, Pan Ki
【주민등록번호】	701010-1106119
【우편번호】	469-880
【주소】	경기도 여주군 가남면 신해리 620-17 동남아파트 104-104
【국적】	KR
【발명자】	
【성명의 국문표기】	이상익
【성명의 영문표기】	LEE, Sang Ick
【주민등록번호】	640325-1109921

【우편번호】 467-860

【주소】 경기도 이천시 부발읍 아미리 753 현대7차아파트 704-1901

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이후
동 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 형성방법에 관한 것으로, 랜딩 플러그 폴리 형성공정시 산성 슬러리 (acid slurry) 를 이용하여 디싱 현상을 최소화시킴으로써 소자의 특성 열화를 방지하고 그에 따른 반도체소자의 수율, 특성 및 신뢰성을 향상시키고 반도체소자의 고집적화를 가능하게 하는 기술이다.

【대표도】

도 7a

【명세서】**【발명의 명칭】**

반도체소자의 형성방법{A method for forming a semiconductor device}

【도면의 간단한 설명】

도 1a 및 도 1b 는 종래기술에 따른 반도체소자의 평면 및 단면 셈사진.

도 2 내지 도 6 은 본 발명의 실시예에 따른 반도체소자의 형성방법을 도시한 단면도 및 셈사진.

도 7a 내지 도 7c 은 본 발명에 따른 반도체소자의 단면 및 평면 셈사진.

도 8 은 본 발명에 따른 슬러리에 산화제를 첨가하여 웨이퍼에서 박막의 연마속도를 평가한 데이터를 도시한 표와 그에 따른 그래프.

< 도면의 주요 부분에 대한 부호의 설명 >

11 : 반도체기판 13 : 소자분리막

15 : 폴리사이드층 17 : 하드마스크층

19 : 절연막 스페이서 21 : 하부절연층

23 : 랜딩 플러그 콘택홀 25 : 플러그 폴리

27 : 랜딩 플러그 폴리

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체소자의 형성방법에 관한 것으로, 특히 반도체소자의 고집적화에 따른 소자의 제조 공정을 용이하게 실시할 수 있도록 하는 랜딩 플러그 폴리 형성방법에 관한 것이다.

<12> 일반적으로, 반도체 메모리 소자인 디램은 하나의 트랜지스터와 캐패시터로 형성되고 이들을 구동하기 위하여 비트라인이나 금속배선 등을 필요로 하게 된다.

<13> 그러나, 반도체소자가 고집적화됨에 따라 높은 에스펙트비 (aspect ratio)를 갖는 콘택 공정을 실시하여야 하는 경우가 생긴다.

<14> 도시되지 않았으나, 종래기술에 따른 반도체소자의 형성 공정을 설명하면 다음과 같다.

<15> 먼저, 반도체기판 상에 활성영역을 정의하는 소자분리막을 형성한다. 이때, 상기 소자분리막은 트렌치형으로 형성한 것이다.

<16> 그 다음, 상기 반도체기판 상부에 게이트전극을 형성한다.

<17> 이때, 상기 게이트전극은 상부에 하드마스크층이 구비되고, 측벽에 절연막 스페이서가 형성된 것이다.

<18> 그 다음, 전체표면상부에 식각장벽층을 형성하고 전체표면상부를 평탄화시키는 하부절연층을 형성한다. 이때, 상기 하부절연층은 산화막으로 형성한 것이다.

<19> 그리고, 랜딩 플러그 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층 및 식각장벽층을 식각하여 상기 반도체기판을 노출시키는 랜딩 플러그 콘택홀을 형성한다.

<20> 그 다음, 이를 매립하는 플러그 폴리를 형성한다.

<21> 그리고, 상기 게이트전극 상측의 하드마스크층을 노출시키는 평탄화식각공정으로 상기 게이트전극 사이의 활성영역을 매립하는 랜딩 플러그 폴리를 형성한다.

<22> 이때, 상기 평탄화식각공정은 염기성 슬러리를 이용하여 CMP 공정으로 실시한다.

<23> 그리고, 상기 플러그 폴리와 하부절연층이 디싱 (dishing) 되되, 상기 하부절연층이 더 많이 디싱된다.

<24> 따라서, 상기 하부절연층의 디싱 부분에 다른 산화막을 증착하여야 하고, 상기 디싱된 부분에 CMP 공정시 유발되는 연마 잔류물이 빠지게 되어 후속 세정 (cleaning) 공정시 제거되지 않는다.

<25> 이는 후속 콘택 공정시 콘택플러그 사이를 브릿지 (bridge) 시킨다.

<26> 도 1a 및 도 1b 는 종래기술에 따라 랜딩 플러그 폴리를 형성한 것을 도시한 단면 및 평면 셈사진으로서, 하부절연층인 산화막 상부에 더 많은 디싱 현상이 유발된 것을 도시한다.

<27> 도 1a 를 참조하면, 우측에 도시된 바와 같이 화살표가 가리키는 부분이 두껍게 도시된 부분이 산화막의 디싱 현상이 유발된 부분을 도시하고, 그 두께가 얇게 도시된 부분이 도전층인 랜딩 플러그 폴리가 디싱된 부분을 도시한다.

<28> 도 1b 를 참조하면, 산화막의 과도한 디싱 현상으로 인한 랜딩 플러그 폴리의 손상된 부분이 중앙부에 도시된 것이다.

<29> 상기한 바와 같이 종래기술에 따른 반도체소자의 형성방법은, 랜딩 플러그 폴리를 형성하기 위한 CMP 공정시 유발되는 디싱 현상으로 소자의 수율, 특성 및 신뢰성이 저하되고 그에 따른 소자의 고집적화를 어렵게 하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기한 종래기술에 따른 문제점을 해결하기 위하여, 랜딩 플러그 폴리 형성공정시 산성 슬러리를 이용하여 디싱 현상을 최소화시킴으로써 소자의 특성 열화를 방지하고 그에 따른 반도체소자의 수율, 특성 및 신뢰성을 향상시키고 반도체소자의 고집적화를 가능하게 하는 반도체소자의 형성방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<31> 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 형성방법은,

<32> 하드마스크층이 구비되는 게이트전극이 형성된 하부절연층을 형성하는 공정과,

<33> 랜딩 플러그 콘택마스크를 이용한 사진식각공정으로 상기 반도체기판을 노출시키는 랜딩 플러그 콘택홀을 형성하는 공정과,

<34> 상기 랜딩 플러그 콘택홀을 포함한 전체표면상부에 플러그 폴리를 증착하는 공정과

,

<35> 상기 게이트전극 상측의 하드마스크층을 식각 장벽으로 하는 CMP 공정으로 평탄화 식각하여 랜딩 플러그 폴리를 형성하되, 상기 CMP 공정시 산성계 슬러리를 이용하여 실시하는 공정을 포함하는 것과,

<36> 상기 산성계 슬러리는 2 ~ 7 pH 인 것과,

<37> 상기 산성계 슬러리는 0.1 ~ 10 vol%의 산화제가 첨가되어,

<38> 상기 산화제는 H_2O_2 , H_5IO_6 , $FeNO_3$ 및 이들의 혼합물로 이루어진 군에서 선택된 임의의 한가지가 사용하는 것과,

<39> 상기 산성계 슬러리는 SiO_2 , CeO_2 , ZrO_2 , Al_2O_3 및 이들의 조합으로 이루어지는 군에서 선택되는 임의의 한가지를 첨가제 (abrasive)로 사용한 것을 특징으로 한다.

<40> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

<41> 도 2 내지 도 6 는 본 발명의 실시예에 따른 반도체소자의 형성방법을 도시한 단면도이다. 여기서, 도 5 는 도 4의 평면 및 단면을 도시한 셈사진으로서, 좌측은 "T" 자형으로 랜딩 플러그 콘택홀을 매립하는 플러그 폴리를 형성한 것을 도시한 평면이고, 우측은 3개의 콘택 영역에 접속되는 플러그 폴리가 도시되도록 상기 평면 셈사진의 좌측에서 우측으로 절단된 단면을 도시한 것이다.

<42> 도 2 및 도 3 을 참조하면, 반도체기판(11) 상에 활성영역을 정의하는 소자분리막(13)을 형성한다. 이때, 상기 소자분리막(13)은 트렌치형으로 형성한 것이다.

<43> 그 다음, 상기 반도체기판(11) 상부에 게이트산화막(도시안됨) 및 게이트전극을 형성한다.

<44> 이때, 상기 게이트전극은 폴리사이드충(15), 하드마스크충(17) 및 반사방지막(도시안됨)을 적층하고 이를 게이트전극 마스크(도시안됨)를 이용한 사진식각공정으로 패터닝하여 형성한 것이다. 여기서, 상기 하드마스크충(17)은 질화막으로 형성하고, 상기 반사방지막은 $SiON$ 이나 유기박막으로 형성한다.

<45> 그 다음, 상기 게이트전극 측벽에 절연막 스페이서(19)를 형성한다. 이때, 절연막 스페이서(19)는 질화막으로 형성한다.

<46> 그리고, 전체표면상부를 평탄화시키는 하부절연층(21)을 형성한다. 이때, 상기 하부절연층(21)은 BPSG (boro phospho silicate glass) 와 같이 유동성이 우수한 절연물질로 형성하거나, HDP (high density plasma) 산화막 (이하에서 "HDP"라 함) 으로 형성한다.

<47> 도 4를 참조하면, 랜딩 플러그 콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 반도체기판(31)의 활성영역을 노출시키는 랜딩 플러그 콘택홀(23)을 형성한다. 이때, 상기 랜딩 플러그 콘택마스크는 "T" 자 활성영역과 같은 형태로 형성된 것이다.

<48> 그리고, 상기 랜딩 플러그 콘택홀(23)을 매립하는 플러그 폴리(25)를 형성한다.

<49> 도 6을 참조하면, CMP 공정으로 상기 플러그 폴리(25) 및 하부절연층(21)을 평탄화식각하여 랜딩 플러그 폴리(27)를 형성한다.

<50> 이때, 상기 CMP 공정은 산화막과 플러그 폴리간의 연마 선택비가 상대적으로 낮은 산성계 슬러리에 산화제를 첨가하여 산화막과 플러그 폴리간의 역선택비를 구현하여 상기 재료에서 발생되는 디싱 현상을 최소화하여 실시한 것이다.

<51> 상기 산성계 슬러리는 2 ~ 7 pH 이고, 0.1 ~ 10 vol%의 산화제가 첨가된 것이다.

<52> 여기서, 상기 산화제는 상기 랜딩 플러그 폴리(27)의 연마를 촉진시키는 역할을 하며 H_2O_2 , H_5IO_6 , $FeNO_3$ 및 이들의 혼합물로 이루어진 군에서 선택된 임의의 한가지가 사용된다.

<53> 또한, 상기 산성계 슬러리는 SiO_2 , CeO_2 , ZrO_2 , Al_2O_3 및 이들의 조합으로 이루어지는 군에서 선택되는 임의의 한가지를 첨가제 (abrasive)로 사용한 것이다.

<54> 도 7a 내지 도 7c 는 본 발명에 따라 형성된 랜딩 플러그 폴리의 단면 및 평면을 도시한 셈사진이다.

<55> 상기 도 7a 는 상기 도 6 의 랜딩 플러그 폴리를 도시한 것이고, 상기 도 7b 는 상기 7a 의 하부절연층 부분을 확대하여 도시한 것이며, 상기 도 7c 는 상기 본 발명에 따른 랜딩 플러그 폴리 형성후의 평면을 도시한 것이다.

<56> 여기서, 상기한 셈 사진을 상기 도 1a 및 도 1b 의 셈사진과 비교하면, 단면에서 디싱현상이 거의 유발되지 않았음을 알 수 있으며, 평면 상에서 손상된 부분이 없음을 알 수 있다.

<57> 도 8 은 본 발명에 따른 슬러리에 산화제를 첨가하는 경우와 첨가하지 않는 경우 웨이퍼에서 박막의 연마속도를 평가한 데이터를 도시한 표와 그에 따른 그래프를 도시한 것이다.

<58> 도 8을 참조하면, 첫번째(1st)로 과수를 산화제로 첨가하지 않은 산성 슬러리를 이용하여 CMP 를 두 번 실시하는 경우 HDP/폴리실리콘의 식각정도가 각각 2609/1821 Å, 2620/1342 Å 을 기록하여 HDP/폴리실리콘의 식각선택비가 각각 1.43 와 1.95 로서, 그 차이가 큼을 나타난다.

<59> 두번째(2nd)로 과수를 산화제로 첨가한 산성 슬러리를 이용하여 CMP 를 두 번 실시하는 경우 HDP/폴리실리콘의 식각정도가 각각 1437/5292 Å, 1429/5684 Å 을 기록하여 HDP/폴리실리콘의 식각선택비가 각각 0.27 과 0.25 로서, 그 차이가 거의 없음을 알 수 있다. 여기서, 상기 과수를 첨가하는 경우는 슬러리에 사용되는 물 30 wt% 를 100이라 할 때 6wt% 의 과수를 첨가하여 실시한 것이다.

<60> 상기한 바와 같이 과수를 산화제로 첨가하지 않는 경우에 비하여 과수를 산화제로 첨가하는 경우, 균일한 식각선택비 차이를 가질 뿐만 아니라 HDP에 대한 폴리실리콘의 식각 정도가 두 배 이상되어 폴리실리콘만의 식각이 용이함을 알 수 있다.

【발명의 효과】

<61> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 형성방법은, 산성계 슬러리를 이용하여 플러그 폴리를 CMP하여 플러그 폴리와 하부절연층의 디싱 현상을 최소함으로써 소자의 특성 열화를 방지하고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키며 반도체소자의 고집적화를 가능하게 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

하드마스크층이 구비되는 게이트전극이 형성된 하부절연층을 형성하는 공정과,
랜딩 플러그 콘택마스크를 이용한 사진식각공정으로 상기 반도체기판을 노출시키
는 랜딩 플러그 콘택홀을 형성하는 공정과,
상기 랜딩 플러그 콘택홀을 포함한 전체표면상부에 플러그 폴리를 증착하는
공정과,
상기 게이트전극 상측의 하드마스크층을 식각 장벽으로 하는 CMP 공정으로 평탄화
식각하여 랜딩 플러그 폴리를 형성하되, 상기 CMP 공정시 산성계 슬러리를 이용하여 실
시하는 공정을 포함하는 반도체소자의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 산성계 슬러리는 2 ~ 7 pH 인 것을 특징으로 하는 반도체소자의 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 산성계 슬러리는 0.1 ~ 10 vol%의 산화제가 첨가된 것을 특징으로 하는 반도
체소자의 형성방법.

【청구항 4】

제 3 항에 있어서,

상기 산화제는 H_2O_2 , H_5IO_6 , $FeNO_3$ 및 이들의 혼합물로 이루어진 군에서 선택된 임의의 한가지가 사용하는 것을 특징으로 하는 반도체소자의 형성방법.

【청구항 5】

제 1 항에 있어서,

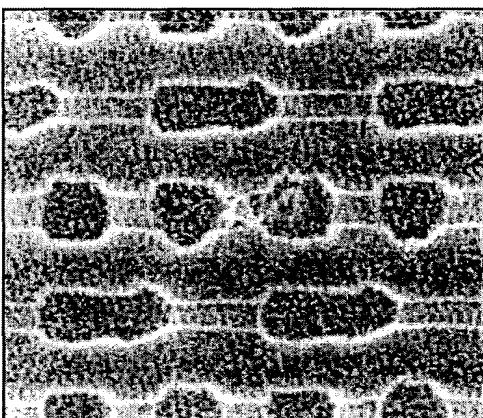
상기 산성계 슬러리는 SiO_2 , CeO_2 , ZrO_2 , Al_2O_3 및 이들의 조합으로 이루어지는 군에서 선택되는 임의의 한가지를 첨가제 (abrasive)로 사용한 것을 특징으로 하는 반도체소자의 형성방법.

【도면】

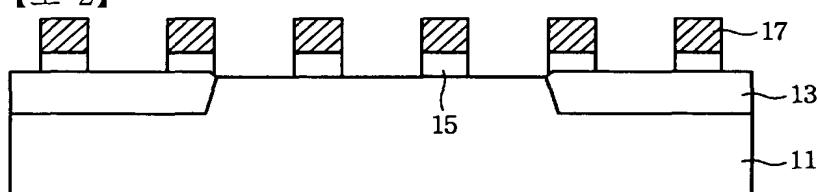
【도 1a】



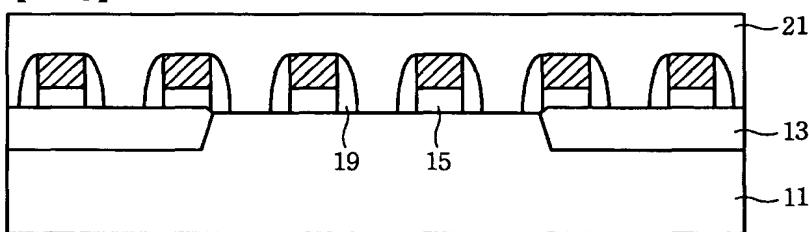
【도 1b】



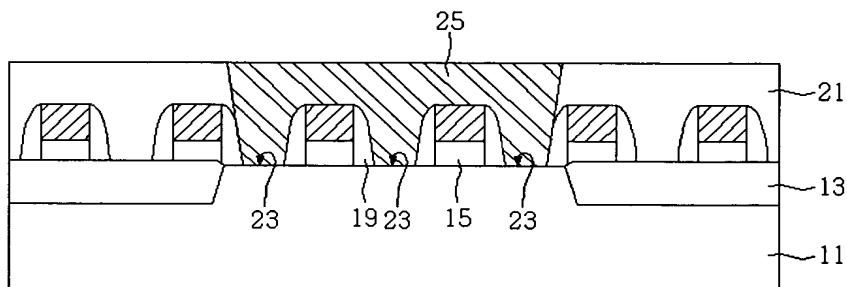
【도 2】



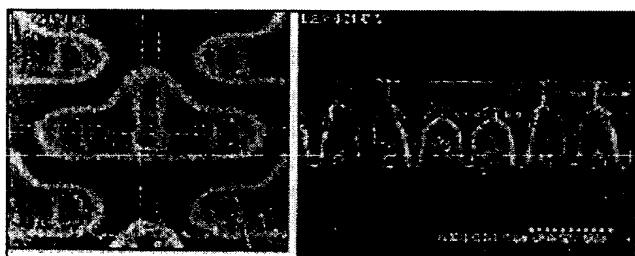
【도 3】



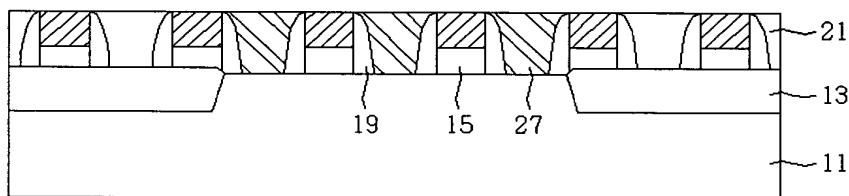
【도 4】



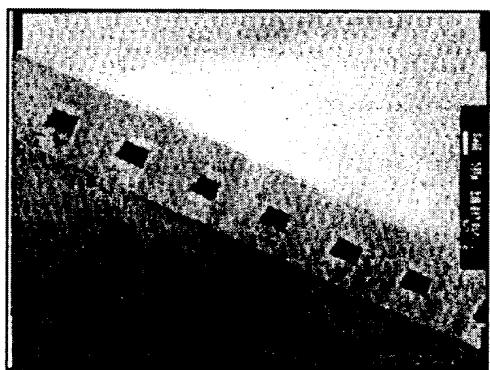
【도 5】



【도 6】



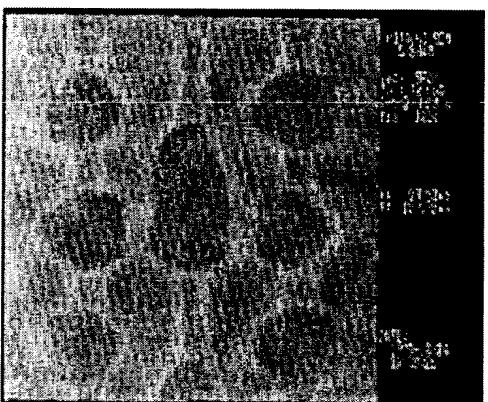
【도 7a】



【도 7b】



【도 7c】



【도 8】

	1st		2nd	
	30wt% _W/O H2O2	30wt% _W/O H2O2	24wt% _W/6wt%H2O2	24wt% _W/6wt%H2O2
HDP	2609	2620	1437	1429
Poly	1821	1342	5292	5684
HDP/Poly	1.43	1.95	0.27	0.25

